

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-092736

(43)Date of publication of application : 04.04.1997

(51)Int.Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

H01L 27/115

(21)Application number : 07-249451

(71)Applicant : HITACHI LTD
HITACHI HOKKAI SEMICONDUCTOR
LTD

(22)Date of filing : 27.09.1995

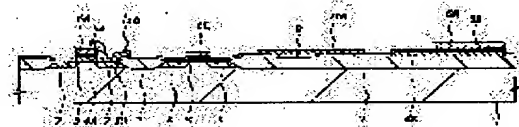
(72)Inventor : SHIBA KAZUYOSHI
TAKEYAMA KOJI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND FABRICATION THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a highly reliable, high performance microcomputer incorporating ROMs and A/D converters.

SOLUTION: An ROM built in a microcomputer comprises an MISFET having a floating gate 4A and an A/D converter having a resistive element 11B. The floating gate 4A and the resistive element 11B are formed of different conductive films thus optimizing the sheet resistance, respectively.



LEGAL STATUS

[Date of request for examination]

08.07.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Semiconductor integrated circuit equipment which is semiconductor integrated circuit equipment which has a microcomputer in which nonvolatile memory which constituted a memory cell from MISFET equipped with the floating gate and the control gate, and an A/D converter were formed on the same semiconductor chip, and is characterized by constituting a resistance element of said A/D converter from a film of the same material as said pad layer while preparing a pad layer between the data lines connected to a semiconductor region and this semiconductor region of said MISFET.

[Claim 2] Semiconductor integrated circuit equipment which is semiconductor integrated circuit equipment which has a microcomputer in which nonvolatile memory which constituted a memory cell from MISFET equipped with the floating gate and the control gate, and an A/D converter were formed on the same semiconductor chip, and is characterized by constituting a resistance element of said A/D converter from said polycrystalline silicon film while preparing a pad layer which consists of a polycrystalline silicon film between the data lines connected to a semiconductor region and this semiconductor region of said MISFET.

[Claim 3] Semiconductor integrated circuit equipment which is semiconductor integrated circuit equipment which has a microcomputer in which nonvolatile memory which constituted a memory cell from MISFET equipped with the floating gate and the control gate, and an A/D converter were formed on the same semiconductor chip, and is characterized by constituting a resistance element of said A/D converter from said polycrystalline silicon film while forming the sub data line which consists of a polycrystalline silicon film between the data lines connected to a semiconductor region and this semiconductor region of said MISFET.

[Claim 4] It is semiconductor integrated circuit equipment which is semiconductor integrated circuit equipment according to claim 1, 2, or 3, and is characterized by said nonvolatile memory being a flash memory.

[Claim 5] A manufacture method of semiconductor integrated circuit equipment of having a microcomputer in which nonvolatile memory which constituted a memory cell from MISFET equipped with the floating gate and the control gate which are characterized by providing the following, and an A/D converter were formed on the same semiconductor chip A production process which forms a pad layer connected to a semiconductor region of said MISFET by carrying out patterning of the polycrystalline silicon film deposited on the upper layer of said MISFET, and a resistance element of said A/D converter A production process which forms the data line connected to a semiconductor region of said MISFET through said pad layer by carrying out patterning of the electric conduction film deposited on the upper layer of said polycrystalline silicon film

[Claim 6] A manufacture method of semiconductor integrated circuit equipment of having a microcomputer in which nonvolatile memory which constituted a memory cell from MISFET equipped with the floating gate and the control gate which are characterized by providing the following, and an A/D converter were formed on the same semiconductor chip A production process which forms a resistance element of the sub data line connected to a semiconductor region of said MISFET by carrying out patterning of the polycrystalline silicon film deposited on the upper layer of said MISFET, and said A/D converter A production process which forms the data line connected to a semiconductor region of said MISFET through said sub data line by carrying out patterning of the electric conduction film deposited on the upper layer of said polycrystalline silicon film

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention is applied to the semiconductor integrated circuit equipment which has the microcomputer which formed especially the nonvolatile memory (flash memory) and the A/D converter in which writing and elimination are possible on the same semiconductor chip electrically about semiconductor integrated circuit equipment and its manufacturing technology, and relates to effective technology.

[0002]

[Description of the Prior Art] A microcomputer forms functional block, such as CPU (Central Processing Unit), RAM (Random Access Memory), ROM (Read Only Memory), an analog / digital (A/D) converter, and the I/O section (I/O), on 1 chip.

[0003] In recent years, the flash memory which can perform writing and elimination electrically is used for ROM built in this kind of microcomputer. The flash memory constitutes the memory cell from MISFET which usually consisted of the source and the drain field which were formed in the semiconductor substrate, the 1st gate insulator layer (tunnel oxide film) which consists of silicon oxide of about 10nm of thickness, the floating gate which consists of polycrystalline silicon, a 2nd gate insulator layer which consists of a silicon oxide film / a silicon nitride film (or a silicon oxide film / silicon nitride film / silicon oxide film), and the control gate (word line) which consists of a polycide film (a tungsten silicide film / polycrystalline silicon film). Moreover, the data line of aluminum is connected to the drain field of this MISFET.

[0004] In addition, about the microcomputer which contained the flash memory, JP,7-147389,A etc. has a publication, for example.

[0005]

[Problem(s) to be Solved by the Invention] this invention person examined the manufacture process of the microcomputer which contains the above flash memories. The outline is as follows.

[0006] Since a microcomputer forms much functional block, such as CPU, RAM, ROM, and an A/D converter, on the same semiconductor chip, it needs to communalize the manufacturing process of the element which constitutes each functional block, and needs to aim at reduction in a routing counter.

[0007] For example, although a resistance element (ladder resistance) and a capacitive element are used for the circuit of an A/D converter, it is formed at the same production process using the conductive layer (polycrystalline silicon film) as the floating gate of a flash memory with the same lower electrode of this resistance element and a capacitive element. Moreover, the up electrode of a capacitive element is formed at the same production process using the same conductive layer (polycide film) as the control gate of a flash memory. Furthermore, the dielectric film of a capacitive element is formed at the same production process using the 2nd gate insulator layers (a silicon oxide film / silicon nitride film / silicon oxide film) of a flash memory.

[0008] In this case, since the impurity (Lynn or arsenic) of tales doses is doped by the polycrystalline silicon film which constitutes the resistance element of an A/D converter, and floating of a flash memory, the sheet resistance of a resistance element becomes the same as the sheet resistance of floating. That is, in order to optimize the sheet resistance of the resistance element of an A/D converter, when the impurity

of the specified quantity is doped on a polycrystalline silicon film, the polycrystalline silicon film of this sheet resistance must be used for floating of a flash memory.

[0009] However, according to examination of this invention person, the problems following in this case arise.

[0010] (1) If the amount of dopes of the impurity in a polycrystalline silicon film (Lynn or arsenic) increases, elimination dispersion of a flash memory will become large and reliability will fall. Moreover, as a result of the thickness of the silicon oxide film which is a part of 2nd gate insulator layer of a flash memory becoming thick by accelerating oxidation and the capacity between the control gate / floating gate falling, writing / elimination property deteriorates.

[0011] (2) Moreover, with this, since the electric field which the surface of the floating gate will depletion-ize conversely at the time of writing and elimination, and will be impressed to it at the 1st gate insulator layer (tunnel oxide film) if the amount of dopes of an impurity (Lynn or arsenic) decreases conversely fall, writing / elimination property deteriorates.

[0012] The purpose of this invention is to offer the technology which can optimize each high impurity concentration of the conductive layer of the element (MISFET) which constitutes a flash memory, and the conductive layer of the element (resistance element) which constitutes an A/D converter, without increasing the number of manufacturing processes of the microcomputer having a flash memory and an A/D converter.

[0013] The other purposes and the new feature will become clear from description and the accompanying drawing of this specification along [said] this invention.

[0014]

[Means for Solving the Problem] It will be as follows if an outline of a typical thing is briefly explained among invention indicated in this application.

[0015] Semiconductor integrated circuit equipment of this invention has a microcomputer in which nonvolatile memory which constituted a memory cell from MISFET equipped with the floating gate and the control gate, and an A/D converter were formed on the same semiconductor chip, and it constitutes a resistance element of said A/D converter from said polycrystalline silicon film while it prepares a pad layer which consists of a polycrystalline silicon film between the data lines connected to a semiconductor region and this semiconductor region of said MISFET.

[0016] Semiconductor integrated circuit equipment of this invention has a microcomputer in which nonvolatile memory which constituted a memory cell from MISFET equipped with the floating gate and the control gate, and an A/D converter were formed on the same semiconductor chip, and it constitutes a resistance element of said A/D converter from said polycrystalline silicon film while it forms the sub data line which consists of a polycrystalline silicon film between the data lines connected to a semiconductor region and this semiconductor region of said MISFET.

[0017] Nonvolatile memory which constituted a memory cell from MISFET which a manufacture method of semiconductor integrated circuit equipment of this invention equipped with the floating gate and the control gate, By having a microcomputer in which an A/D converter was formed on the same semiconductor chip, and carrying out patterning of the polycrystalline silicon film deposited on the upper layer of said MISFET By carrying out patterning of the electric conduction film deposited on the upper layer of said polycrystalline silicon film to a production process which forms a pad layer connected to a semiconductor region of said MISFET, and a resistance element of said A/D converter A production process which forms the data line connected to a semiconductor region of said MISFET through said pad layer is included.

[0018] Nonvolatile memory which constituted a memory cell from MISFET which a manufacture method of semiconductor integrated circuit equipment of this invention equipped with the floating gate and the control gate, By having a microcomputer in which an A/D converter was formed on the same semiconductor chip, and carrying out patterning of the polycrystalline silicon film deposited on the upper layer of said MISFET By carrying out patterning of the electric conduction film deposited on the upper layer of said polycrystalline silicon film to a production process which forms a resistance element of the sub data line connected to a semiconductor region of said MISFET, and said A/D converter A production

process which forms the data line connected to a semiconductor region of said MISFET through said sub data line is included.

[0019]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to details based on a drawing. In addition, what has the same function in the complete diagram for explaining the gestalt of operation attaches the same sign, and explanation of the repeat is omitted.

[0020] (Gestalt 1 of operation) Drawing 1 is the block diagram showing the microcomputer of the gestalt of this operation. This microcomputer contains CPU, RAM, ROM, a serial communication interface (SCI), a timer (TIMER), an A/D converter (A/D), and the I/O section (I/O) as an example.

[0021] CPU is operation part and includes various registers and control circuits for an operation in the interior. ROM containing the flash memory of this example is used in order to memorize a program and dictionary data. Since the data in the middle of an operation is stored temporarily, RAM is used. These [CPU, ROM, RAM, and SCI], TIMER, A/D, and I/O are mutually connected through BUS. BUS consists of a data bus, an address bus, and a control bus.

[0022] Next, the manufacture method of of the flash memory and A/D converter which were built in this microcomputer is explained using drawing 2 - drawing 14 .

[0023] first, it is shown in drawing 2 -- as -- the principal plane top of the semiconductor substrate 1 of p mold -- LOCOS -- after forming the field oxide 2 for isolation by law (selective oxidation method), the gate insulator layer 3 of silicon oxide is formed on the principal plane of the active field surrounded by this field oxide 2.

[0024] Next, by carrying out patterning of this polycrystalline silicon film 4 by etching which used the photoresist as the mask, after depositing the polycrystalline silicon film 4 of n mold with a CVD method on the semiconductor substrate 1, as shown in drawing 3 As shown in drawing 4 , while forming floating-gate 4A of MISFET in the memory cell formation field (left end of drawing) of a flash memory, lower electrode 4B of the capacitive element which constitutes a part of circuit of an A/D converter is formed in an A/D-converter formation field (right-hand side of drawing). In order to optimize the sheet resistance of floating-gate 4A, about [$1 \times 10^{20} \text{cm}^{-3}$] three Lynn (or arsenic) is doped by this polycrystalline silicon film 4.

[0025] Next, as shown in drawing 5 , an insulator layer 5 is deposited on the semiconductor substrate 1. This insulator layer 5 consists of bilayer films which deposited the silicon nitride film with the CVD method on the silicon oxide film deposited with the CVD method. Or it may oxidize further and the surface of this silicon nitride film may consist of three layer membranes of a silicon oxide film / silicon nitride film / silicon oxide film.

[0026] Next, as shown in drawing 6 , while forming 2nd gate insulator layer 5A on floating-gate 4A of said MISFET by carrying out patterning of the above-mentioned insulator layer 5 by etching which used the photoresist as the mask, capacity insulator layer 5B is formed on lower electrode 4B of said capacitive element.

[0027] Next, as shown in drawing 7 , the polycide film 6 is deposited with a CVD method on the semiconductor substrate 1. This polycide film 6 consists of bilayer films of a polycrystalline silicon film and a tungsten silicide film.

[0028] Next, as shown in drawing 8 , control gate 6A (word line) of MISFET is formed by the polycide film 6 by etching which used the photoresist as the mask the above-mentioned polycide film 6, its lower layer said 2nd gate insulator layer 5A, and by carrying out patterning (pile end) of said the lower layer floating-gate 4A further. High-speed operation can be planned by constituting control gate 6A (word line) from a polycrystalline silicon film by the polycide film 6 of low resistance.

[0029] Next, as shown in drawing 9 , while forming up electrode 6B on capacity insulator layer 5B of said capacitive element by carrying out patterning of said polycide film 6 which remained in fields other than the memory cell formation field of a flash memory by etching which used the photoresist as the mask, gate electrode 6C of MISFET which constitutes the circuit of functional block other than a flash memory is formed.

[0030] Next, as shown in drawing 10 , the semiconductor region (the source, drain field) 8 of MISFET which

constitutes the semiconductor region (the source, drain field) 7 of MISFET of a flash memory and the circuit of functional block other than a flash memory is formed by carrying out the ion implantation of the n mold impurity (Lynn) to the semiconductor substrate 1.

[0031] Next, as shown in drawing 11, after depositing the insulator layers 9, such as a silicon oxide film (or silicon nitride film), with a CVD method on the semiconductor substrate 1, the gate insulator layer 3 and insulator layer 9 on one semiconductor region 7 of MISFET of a flash memory are etched, and the connection hole 10 is formed.

[0032] Next, while forming pad layer 11A connected to the semiconductor region 7 of MISFET of a flash memory through said connection hole 10 as by carrying out patterning of this polycrystalline silicon film 11 by etching which used the photoresist as the mask shows to drawing 13 after depositing the polycrystalline silicon film 11 of n mold with a CVD method on the semiconductor substrate 1 as shown in drawing 12, resistance element (ladder resistance) 11B which constitutes a part of circuit of an A/D converter is formed. In order to optimize the sheet resistance of resistance element 11B, about $[4 \times 10^{20} \text{cm}^{-3}]$ three Lynn (or arsenic) is doped by the polycrystalline silicon film 11.

[0033] Next, as shown in drawing 14, after depositing the interlayer insulation films 12, such as a silicon oxide film, with a CVD method on the semiconductor substrate 1 and, forming the connection holes 13-18 subsequently to this interlayer insulation film 12, data-line DL and wiring 19-23 are formed by carrying out patterning of the aluminum film deposited by the sputtering method on the interlayer insulation film 12. Then, the passivation film 24 which consists of a cascade screen of a silicon oxide film and a silicon nitride film etc. is deposited on the surface of the semiconductor substrate 1.

[0034] Since each sheet resistance of floating-gate 4A and resistance element 11B can be optimized by forming floating-gate 4A of MISFET, and resistance element 11B of an A/D converter by different electric conduction film according to the gestalt of this operation which consists of the above configuration, the microcomputer which has the flash memory a working speed and whose reliability improved, and the A/D converter whose A/D-conversion precision improved is realizable.

[0035] Moreover, since the mask alignment additional coverage of the connection hole which connects data-line DL and a semiconductor region 7 by forming pad layer 11A on the semiconductor region 7 of MISFET of a flash memory can be abolished according to the gestalt of this operation, MISFET of a flash memory can be made detailed and high integration of a flash memory can be realized.

[0036] Moreover, since resistance element 11B of an A/D converter is formed in coincidence at the production process which forms pad layer 11A connected to the semiconductor region 7 of MISFET of a flash memory according to the gestalt of this operation, the number of manufacturing processes of a microcomputer does not increase.

[0037] (Gestalt 2 of operation) A flash memory may form the sub data line of polycrystalline silicon in the lower layer of the data line of aluminum, in order to rewrite data by Fowler Nordheim (Fowler-Nordheim) tunnel current. In such a case, each sheet resistance of the floating gate of MISFET of a flash memory and the resistance element of an A/D converter can be optimized, without making the number of manufacturing processes of a microcomputer increase by forming the resistance element of an A/D converter in coincidence at the production process which forms the sub data line.

[0038] In order to form the sub data line and a resistance element, as first shown in drawing 15, the polycrystalline silicon film 25 of n mold is deposited with a CVD method on the semiconductor substrate 1. The production process which deposits this polycrystalline silicon film 25 is the same as the production process which deposits the polycrystalline silicon film 11 which constitutes pad layer 11A of the gestalt 1 of said operation.

[0039] Next, by carrying out patterning of the above-mentioned polycrystalline silicon film 25 by etching which used the photoresist as the mask, as shown in drawing 16, the sub data line dl connected to the semiconductor region 7 of MISFET of a flash memory and resistance element 25B of an A/D converter are formed. In order to optimize the sheet resistance of resistance element 25B, about $[4 \times 10^{20} \text{cm}^{-3}]$ three Lynn (or arsenic) is doped by the polycrystalline silicon film 25.

[0040] As mentioned above, although invention made by this invention person was concretely explained

based on the gestalt of operation, it cannot be overemphasized that it can change variously in the range which this invention is not limited to the gestalt of said operation, and does not deviate from the summary. [0041] Although the gestalt of said operation explained the case where ROM built in a microcomputer was constituted from a flash memory, it can apply, also when it constitutes this ROM from EPROM and EEPROM which have the floating gate and the control gate.

[0042]

[Effect of the Invention] It will be as follows if the effect acquired by the typical thing among invention indicated by this application is explained briefly.

[0043] Since each sheet resistance of the floating gate of MISFET which constitutes ROM, and the resistance element of an A/D converter can be optimized according to this invention, the microcomputer which has ROM a working speed and whose reliability improved, and the A/D converter whose A/D-conversion precision improved is realizable.

[0044] And according to this invention, the above-mentioned effect can be acquired, without making the number of manufacturing processes of a microcomputer increase.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the whole microcomputer configuration which is the gestalt 1 of operation of this invention.

[Drawing 2] It is the important section cross section of the semiconductor substrate in which the manufacture method of the microcomputer which is the gestalt 1 of operation of this invention is shown.

[Drawing 3] It is the important section cross section of the semiconductor substrate in which the manufacture method of the microcomputer which is the gestalt 1 of operation of this invention is shown.

[Drawing 4] It is the important section cross section of the semiconductor substrate in which the manufacture method of the microcomputer which is the gestalt 1 of operation of this invention is shown.

[Drawing 5] It is the important section cross section of the semiconductor substrate in which the manufacture method of the microcomputer which is the gestalt 1 of operation of this invention is shown.

[Drawing 6] It is the important section cross section of the semiconductor substrate in which the manufacture method of the microcomputer which is the gestalt 1 of operation of this invention is shown.

[Drawing 7] It is the important section cross section of the semiconductor substrate in which the manufacture method of the microcomputer which is the gestalt 1 of operation of this invention is shown.

[Drawing 8] It is the important section cross section of the semiconductor substrate in which the manufacture method of the microcomputer which is the gestalt 1 of operation of this invention is shown.

[Drawing 9] It is the important section cross section of the semiconductor substrate in which the manufacture method of the microcomputer which is the gestalt 1 of operation of this invention is shown.

[Drawing 10] It is the important section cross section of the semiconductor substrate in which the manufacture method of the microcomputer which is the gestalt 1 of operation of this invention is shown.

[Drawing 11] It is the important section cross section of the semiconductor substrate in which the manufacture method of the microcomputer which is the gestalt 1 of operation of this invention is shown.

[Drawing 12] It is the important section cross section of the semiconductor substrate in which the manufacture method of the microcomputer which is the gestalt 1 of operation of this invention is shown.

[Drawing 13] It is the important section cross section of the semiconductor substrate in which the manufacture method of the microcomputer which is the gestalt 1 of operation of this invention is shown.

[Drawing 14] It is the important section cross section of the semiconductor substrate in which the manufacture method of the microcomputer which is the gestalt 1 of operation of this invention is shown.

[Drawing 15] It is the important section cross section of the semiconductor substrate in which the manufacture method of the microcomputer which is the gestalt 2 of operation of this invention is shown.

[Drawing 16] It is the important section cross section of the semiconductor substrate in which the manufacture method of the microcomputer which is the gestalt 2 of operation of this invention is shown.

[Description of Notations]

1 Semiconductor Substrate

2 Field Oxide

3 Gate Insulator Layer

4 Polycrystalline Silicon Film

4A Floating gate

4B Lower electrode

- 5 Insulator Layer
 - 5A The 2nd gate insulator layer
 - 5B Capacity insulator layer
- 6 Polycide Film
 - 6A Control gate (word line)
 - 6B Up electrode
 - 6C Gate electrode
- 7 Semiconductor Region (Source, Drain Field)
- 8 Semiconductor Region (Source, Drain Field)
- 9 Insulator Layer
- 10 Connection Hole
- 11 Polycrystalline Silicon Film
 - 11A Pad layer
 - 11B Resistance element
- 12 Interlayer Insulation Film
- 13-18 Connection hole
- 19-23 Connection hole
- 24 Passivation Film
- 25 Polycrystalline Silicon Film
 - 25B Resistance element
- DL Data line
- dl Sub data line

[Translation done.]

(11)特許出願公開番号

特開平9-92736

(43)公開日 平成9年(1997)4月4日

(51) Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L	21/8247		H 0 1 L	3 7 1
	29/788			4 3 4
	29/792			
	27/115			

審査請求 未請求 請求項の数6 OL (全 11 頁)

(21)出願番号	特願平7-249451	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成7年(1995)9月27日	(71)出願人	000233594 日立北海セミコンダクタ株式会社 北海道亀田郡七飯町字中島145番地
		(72)発明者	志波 和佳 東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内
		(72)発明者	武山 浩司 北海道亀田郡七飯町字中島145番地 日立 北海セミコンダクタ株式会社内
		(74)代理人	弁理士 筒井 大和

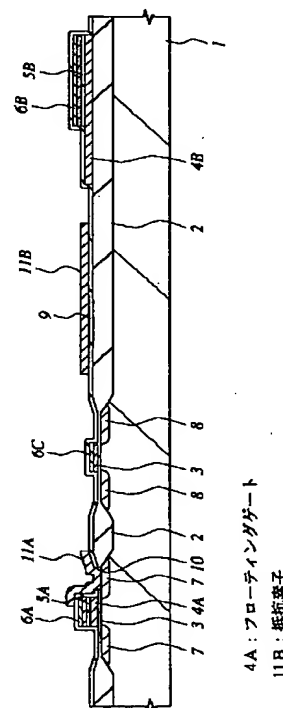
(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 ROMとA/D変換器とを内蔵するマイクロコンピュータの高性能化、高信頼化を図る。

【解決手段】 マイクロコンピュータに内蔵されたROMを構成するMISFETのフローティングゲート4AとA/D変換器の抵抗素子11Bとを異なる導電膜で形成することにより、フローティングゲート4A、抵抗素子11Bのそれぞれのシート抵抗を最適化する。

☒ 13



(2)

【特許請求の範囲】

【請求項1】 フローティングゲートおよびコントロールゲートを備えたMISFETでメモリセルを構成した不揮発性メモリと、A/D変換器とを同一半導体チップ上に形成したマイクロコンピュータを有する半導体集積回路装置であって、前記MISFETの半導体領域とこの半導体領域に接続されるデータ線との間にパッド層を設けると共に、前記A/D変換器の抵抗素子を前記パッド層と同一材の膜で構成したことを特徴とする半導体集積回路装置。

【請求項2】 フローティングゲートおよびコントロールゲートを備えたMISFETでメモリセルを構成した不揮発性メモリと、A/D変換器とを同一半導体チップ上に形成したマイクロコンピュータを有する半導体集積回路装置であって、前記MISFETの半導体領域とこの半導体領域に接続されるデータ線との間に多結晶シリコン膜からなるパッド層を設けると共に、前記A/D変換器の抵抗素子を前記多結晶シリコン膜で構成したことを特徴とする半導体集積回路装置。

【請求項3】 フローティングゲートおよびコントロールゲートを備えたMISFETでメモリセルを構成した不揮発性メモリと、A/D変換器とを同一半導体チップ上に形成したマイクロコンピュータを有する半導体集積回路装置であって、前記MISFETの半導体領域とこの半導体領域に接続されるデータ線との間に多結晶シリコン膜からなるサブデータ線を設けると共に、前記A/D変換器の抵抗素子を前記多結晶シリコン膜で構成したことを特徴とする半導体集積回路装置。

【請求項4】 請求項1、2または3記載の半導体集積回路装置であって、前記不揮発性メモリは、フラッシュメモリであることを特徴とする半導体集積回路装置。

【請求項5】 フローティングゲートおよびコントロールゲートを備えたMISFETでメモリセルを構成した不揮発性メモリと、A/D変換器とを同一半導体チップ上に形成したマイクロコンピュータを有する半導体集積回路装置の製造方法であって、前記MISFETの上層に堆積した多結晶シリコン膜をパターニングすることにより、前記MISFETの半導体領域に接続されるパッド層および前記A/D変換器の抵抗素子を形成する工程と、前記多結晶シリコン膜の上層に堆積した導電膜をパターニングすることにより、前記パッド層を介して前記MISFETの半導体領域に接続されるデータ線を形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

【請求項6】 フローティングゲートおよびコントロールゲートを備えたMISFETでメモリセルを構成した不揮発性メモリと、A/D変換器とを同一半導体チップ上に形成したマイクロコンピュータを有する半導体集積回路装置の製造方法であって、前記MISFETの上層に堆積した多結晶シリコン膜をパターニングすることにより、前記MISFETの半導体領域に接続されるサブデータ線を形成する工程と、前記多結晶シリコン膜の上層に堆積した導電膜をパターニングすることにより、前記サブデータ線を介して前記MISFETの半導体領域に接続されるデータ線を形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

より、前記MISFETの半導体領域に接続されるサブデータ線および前記A/D変換器の抵抗素子を形成する工程と、前記多結晶シリコン膜の上層に堆積した導電膜をパターニングすることにより、前記サブデータ線を介して前記MISFETの半導体領域に接続されるデータ線を形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造技術に関し、特に、電氣的に書込みおよび消去が可能な不揮発性メモリ（フラッシュメモリ）とA/D変換器とを同一半導体チップ上に形成したマイクロコンピュータを有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】マイクロコンピュータは、CPU (Central Processing Unit)、RAM (Random Access Memory)、ROM (Read Only Memory)、アナログ/デジタル (A/D) 変換器、入出力部 (I/O) などの機能ブロックを1チップ上に形成したものである。

【0003】近年、この種のマイクロコンピュータに内蔵されるROMには、電氣的に書込みおよび消去を行うことのできるフラッシュメモリが使用されている。フラッシュメモリは、通常、半導体基板に形成したソース、ドレイン領域と、膜厚10nm程度の酸化シリコンからなる第1ゲート絶縁膜（トンネル酸化膜）と、多結晶シリコンからなるフローティングゲートと、酸化シリコン膜/窒化シリコン膜（あるいは酸化シリコン膜/窒化シリコン膜/酸化シリコン膜）からなる第2ゲート絶縁膜と、ポリサイド膜（タンガステンシリサイド膜/多結晶シリコン膜）からなるコントロールゲート（ワード線）とで構成されたMISFETでメモリセルを構成している。また、このMISFETのドレイン領域には、A1のデータ線が接続される。

【0004】なお、フラッシュメモリを内蔵したマイクロコンピュータについては、例えば特開平7-147389号公報などに記載がある。

【0005】

【発明が解決しようとする課題】本発明者は、前記のようなフラッシュメモリを内蔵するマイクロコンピュータの製造プロセスを検討した。その概要は、次の通りである。

【0006】マイクロコンピュータは、CPU、RAM、ROM、A/D変換器などといった多くの機能ブロックを同一半導体チップ上に形成するので、各機能ブロックを構成する素子の製造工程を共通化して工程数の減少を図る必要がある。

【0007】例えばA/D変換器の回路には抵抗素子（ラダー抵抗）や容量素子が使われるが、この抵抗素子

(3)

3

と容量素子の下部電極とは、フラッシュメモリのフローティングゲートと同じ導電層（多結晶シリコン膜）を使って同一工程で形成される。また、容量素子の上部電極は、フラッシュメモリのコントロールゲートと同じ導電層（ポリサイド膜）を使って同一工程で形成される。さらに、容量素子の誘電体膜は、フラッシュメモリの第2ゲート絶縁膜（酸化シリコン膜/窒化シリコン膜/酸化シリコン膜など）を使って同一工程で形成される。

【0008】この場合、A/D変換器の抵抗素子とフラッシュメモリのフローティングとを構成する多結晶シリコン膜には、同量の不純物（リンまたはヒ素）がドーパされるので、抵抗素子のシート抵抗はフローティングのシート抵抗と同じになる。つまり、A/D変換器の抵抗素子のシート抵抗を最適化するために多結晶シリコン膜に所定量の不純物をドーパした場合、フラッシュメモリのフローティングは、このシート抵抗値の多結晶シリコン膜を使用せざるを得ない。

【0009】しかし、本発明者の検討によれば、この場合には次のような問題が生じる。

【0010】（1）多結晶シリコン膜中の不純物（リンまたはヒ素）のドーパ量が多くなると、フラッシュメモリの消去ばらつきが大きくなり、信頼性が低下する。また、フラッシュメモリの第2ゲート絶縁膜の一部である酸化シリコン膜の膜厚が増速酸化によって厚くなり、コントロールゲート/フローティングゲート間の容量が低下する結果、書込み・消去特性が劣化する。

【0011】（2）また、これとは逆に、不純物（リンまたはヒ素）のドーパ量が少なくなると、書込み・消去時にフローティングゲートの表面が空乏化し、第1ゲート絶縁膜（トンネル酸化膜）に印加される電界が低下してしまふので、書込み・消去特性が劣化する。

【0012】本発明の目的は、フラッシュメモリとA/D変換器とを内蔵するマイクロコンピュータの製造工程数を増やすことなく、フラッシュメモリを構成する素子（MISFET）の導電層とA/D変換器を構成する素子（抵抗素子）の導電層のそれぞれの不純物濃度を最適化することのできる技術を提供することにある。

【0013】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0014】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0015】本発明の半導体集積回路装置は、フローティングゲートおよびコントロールゲートを備えたMISFETでメモリセルを構成した不揮発性メモリと、A/D変換器とを同一半導体チップ上に形成したマイクロコンピュータを有し、前記MISFETの半導体領域とこの半導体領域に接続されるデータ線との間に多結晶シリ

4

コン膜からなるパッド層を設けると共に、前記A/D変換器の抵抗素子を前記多結晶シリコン膜で構成したものである。

【0016】本発明の半導体集積回路装置は、フローティングゲートおよびコントロールゲートを備えたMISFETでメモリセルを構成した不揮発性メモリと、A/D変換器とを同一半導体チップ上に形成したマイクロコンピュータを有し、前記MISFETの半導体領域とこの半導体領域に接続されるデータ線との間に多結晶シリコン膜からなるサブデータ線を設けると共に、前記A/D変換器の抵抗素子を前記多結晶シリコン膜で構成したものである。

【0017】本発明の半導体集積回路装置の製造方法は、フローティングゲートおよびコントロールゲートを備えたMISFETでメモリセルを構成した不揮発性メモリと、A/D変換器とを同一半導体チップ上に形成したマイクロコンピュータを有し、前記MISFETの上層に堆積した多結晶シリコン膜をパターニングすることにより、前記MISFETの半導体領域に接続されるパッド層および前記A/D変換器の抵抗素子を形成する工程と、前記多結晶シリコン膜の上層に堆積した導電膜をパターニングすることにより、前記パッド層を介して前記MISFETの半導体領域に接続されるデータ線を形成する工程とを含むものである。

【0018】本発明の半導体集積回路装置の製造方法は、フローティングゲートおよびコントロールゲートを備えたMISFETでメモリセルを構成した不揮発性メモリと、A/D変換器とを同一半導体チップ上に形成したマイクロコンピュータを有し、前記MISFETの上層に堆積した多結晶シリコン膜をパターニングすることにより、前記MISFETの半導体領域に接続されるサブデータ線および前記A/D変換器の抵抗素子を形成する工程と、前記多結晶シリコン膜の上層に堆積した導電膜をパターニングすることにより、前記サブデータ線を介して前記MISFETの半導体領域に接続されるデータ線を形成する工程とを含むものである。

【0019】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0020】（実施の形態1）図1は、本実施の形態のマイクロコンピュータを示すブロック図である。このマイクロコンピュータは、一例としてCPU、RAM、ROM、シリアルコミュニケーションインターフェイス（SCI）、タイマ（TIMER）、A/D変換器（A/D）および入出力部（I/O）を内蔵している。

【0021】CPUは演算部であり、その内部に演算のための種々のレジスタや制御回路を含んでいる。本実施例のフラッシュメモリを含んだROMは、プログラムお

(4)

5

および辞書データを記憶しておくために使用される。RAMは、演算途中のデータを一時記憶しておくために使用される。これらCPU、ROM、RAM、SCI、TIMER、A/DおよびI/Oは、BUSを介して相互に接続されている。BUSは、データバス、アドレスバスおよび制御バスで構成されている。

【0022】次に、このマイクロコンピュータに内蔵されたフラッシュメモリおよびA/D変換器の製造方法を図2～図14を用いて説明する。

【0023】まず、図2に示すように、p型の半導体基板1の主面上にLOCOS法（選択酸化法）で素子分離用のフィールド酸化膜2を形成した後、このフィールド酸化膜2で囲まれたアクティブ領域の主面上に酸化シリコンのゲート絶縁膜3を形成する。

【0024】次に、図3に示すように、半導体基板1上にCVD法でn型の多結晶シリコン膜4を堆積した後、フォトレジストをマスクにしたエッチングでこの多結晶シリコン膜4をパターニングすることにより、図4に示すように、フラッシュメモリのメモリセル形成領域（図の左端）にMISFETのフローティングゲート4Aを形成すると共に、A/D変換器形成領域（図の右側）にA/D変換器の回路の一部を構成する容量素子の下部電極4Bを形成する。この多結晶シリコン膜4には、フローティングゲート4Aのシート抵抗を最適化するために、 $1 \times 10^{20} \text{cm}^{-3}$ 程度のリン（またはヒ素）がドーパされる。

【0025】次に、図5に示すように、半導体基板1上に絶縁膜5を堆積する。この絶縁膜5は、CVD法で堆積した酸化シリコン膜上にCVD法で窒化シリコン膜を堆積した二層膜で構成される。あるいは、この窒化シリコン膜の表面をさらに酸化して、酸化シリコン膜/窒化シリコン膜/酸化シリコン膜の三層膜で構成してもよい。

【0026】次に、フォトレジストをマスクにしたエッチングで上記絶縁膜5をパターニングすることにより、図6に示すように、前記MISFETのフローティングゲート4A上に第2ゲート絶縁膜5Aを形成すると共に、前記容量素子の下部電極4B上に容量絶縁膜5Bを形成する。

【0027】次に、図7に示すように、半導体基板1上にCVD法でポリサイド膜6を堆積する。このポリサイド膜6は、多結晶シリコン膜とタングステンシリサイド膜の二層膜で構成される。

【0028】次に、図8に示すように、フォトレジストをマスクにしたエッチングで上記ポリサイド膜6、その下層の前記第2ゲート絶縁膜5A、さらにその下層の前記フローティングゲート4Aをパターニング（重ね切り）することにより、ポリサイド膜6でMISFETのコントロールゲート6A（ワード線）を形成する。コントロールゲート6A（ワード線）を多結晶シリコン膜よ

6

りも低抵抗のポリサイド膜6で構成することにより、高速動作を図ることができる。

【0029】次に、図9に示すように、フラッシュメモリのメモリセル形成領域以外の領域に残った前記ポリサイド膜6をフォトレジストをマスクにしたエッチングでパターニングすることにより、前記容量素子の容量絶縁膜5B上に上部電極6Bを形成すると共に、フラッシュメモリ以外の機能ブロックの回路を構成するMISFETのゲート電極6Cを形成する。

【0030】次に、図10に示すように、半導体基板1にn型不純物（リン）をイオン注入することにより、フラッシュメモリのMISFETの半導体領域（ソース、ドレイン領域）7およびフラッシュメモリ以外の機能ブロックの回路を構成するMISFETの半導体領域（ソース、ドレイン領域）8を形成する。

【0031】次に、図11に示すように、半導体基板1上にCVD法で酸化シリコン膜（または窒化シリコン膜）などの絶縁膜9を堆積した後、フラッシュメモリのMISFETの一方の半導体領域7上のゲート絶縁膜3および絶縁膜9をエッチングして接続孔10を形成する。

【0032】次に、図12に示すように、半導体基板1上にCVD法でn型の多結晶シリコン膜11を堆積した後、フォトレジストをマスクにしたエッチングでこの多結晶シリコン膜11をパターニングすることにより、図13に示すように、前記接続孔10を通じてフラッシュメモリのMISFETの半導体領域7に接続されるパッド層11Aを形成すると共に、A/D変換器の回路の一部を構成する抵抗素子（ラダー抵抗）11Bを形成する。多結晶シリコン膜11には、抵抗素子11Bのシート抵抗を最適化するために、 $4 \times 10^{20} \text{cm}^{-3}$ 程度のリン（またはヒ素）がドーパされる。

【0033】次に、図14に示すように、半導体基板1上にCVD法で酸化シリコン膜などの層間絶縁膜12を堆積し、次いでこの層間絶縁膜12に接続孔13～18を形成した後、層間絶縁膜12上にスパッタリング法で堆積したA1膜をパターニングすることにより、データ線DLおよび配線19～23を形成する。その後、半導体基板1の表面に酸化シリコン膜と窒化シリコン膜との積層膜などからなるパッシベーション膜24を堆積する。

【0034】以上の構成からなる本実施の形態によれば、MISFETのフローティングゲート4AとA/D変換器の抵抗素子11Bとを異なる導電膜で形成することにより、フローティングゲート4A、抵抗素子11Bのそれぞれのシート抵抗を最適化することができるので、動作速度および信頼性が向上したフラッシュメモリと、A/D変換精度の向上したA/D変換器とを有するマイクロコンピュータを実現することができる。

【0035】また、本実施の形態によれば、フラッシュ

(5)

7

メモリのMISFETの半導体領域7上にパッド層11Aを形成することにより、データ線DLと半導体領域7とを接続する接続孔のマスク合わせ余裕を無くすることができるので、フラッシュメモリのMISFETを微細化してフラッシュメモリの高集積化を実現することができる。

【0036】また、本実施の形態によれば、フラッシュメモリのMISFETの半導体領域7に接続されるパッド層11Aを形成する工程で同時にA/D変換器の抵抗素子11Bを形成するので、マイクロコンピュータの製造工程数が増加することもない。

【0037】（実施の形態2）フラッシュメモリは、ファウラー・ノルドハイム(Fowler-Nordheim)トンネル電流でデータの書き換えを行うために、A1のデータ線の下層に多結晶シリコンのサブデータ線を設ける場合がある。このような場合は、サブデータ線を形成する工程で同時にA/D変換器の抵抗素子を形成することにより、マイクロコンピュータの製造工程数を増加させることなく、フラッシュメモリのMISFETのフローティングゲート、A/D変換器の抵抗素子のそれぞれのシート抵抗を最適化することができる。

【0038】サブデータ線および抵抗素子を形成するには、まず図15に示すように、半導体基板1上にCVD法でn型の多結晶シリコン膜25を堆積する。この多結晶シリコン膜25を堆積する工程は、前記実施の形態1のパッド層11Aを構成する多結晶シリコン膜11を堆積する工程と同じである。

【0039】次に、フォトレジストをマスクにしたエッチングで上記多結晶シリコン膜25をパターンニングすることにより、図16に示すように、フラッシュメモリのMISFETの半導体領域7に接続されるサブデータ線d1と、A/D変換器の抵抗素子25Bとを形成する。多結晶シリコン膜25には、抵抗素子25Bのシート抵抗を最適化するために、 $4 \times 10^{20} \text{cm}^{-3}$ 程度のリン（またはヒ素）がドーパされる。

【0040】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0041】前記実施の形態では、マイクロコンピュータに内蔵するROMをフラッシュメモリで構成した場合について説明したが、このROMをフローティングゲートとコントロールゲートとを有するEPROMやEEPROMで構成する場合にも適用することができる。

【0042】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0043】本発明によれば、ROMを構成するMISFETのフローティングゲートと、A/D変換器の抵抗

8

素子のそれぞれのシート抵抗を最適化することができるので、動作速度および信頼性が向上したROMと、A/D変換精度の向上したA/D変換器とを有するマイクロコンピュータを実現することができる。

【0044】しかも、本発明によれば、マイクロコンピュータの製造工程数を増加させることなく、上記の効果を得ることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1であるマイクロコンピュータの全体構成を示すブロック図である。

【図2】本発明の実施の形態1であるマイクロコンピュータの製造方法を示す半導体基板の要部断面図である。

【図3】本発明の実施の形態1であるマイクロコンピュータの製造方法を示す半導体基板の要部断面図である。

【図4】本発明の実施の形態1であるマイクロコンピュータの製造方法を示す半導体基板の要部断面図である。

【図5】本発明の実施の形態1であるマイクロコンピュータの製造方法を示す半導体基板の要部断面図である。

【図6】本発明の実施の形態1であるマイクロコンピュータの製造方法を示す半導体基板の要部断面図である。

【図7】本発明の実施の形態1であるマイクロコンピュータの製造方法を示す半導体基板の要部断面図である。

【図8】本発明の実施の形態1であるマイクロコンピュータの製造方法を示す半導体基板の要部断面図である。

【図9】本発明の実施の形態1であるマイクロコンピュータの製造方法を示す半導体基板の要部断面図である。

【図10】本発明の実施の形態1であるマイクロコンピュータの製造方法を示す半導体基板の要部断面図である。

【図11】本発明の実施の形態1であるマイクロコンピュータの製造方法を示す半導体基板の要部断面図である。

【図12】本発明の実施の形態1であるマイクロコンピュータの製造方法を示す半導体基板の要部断面図である。

【図13】本発明の実施の形態1であるマイクロコンピュータの製造方法を示す半導体基板の要部断面図である。

【図14】本発明の実施の形態1であるマイクロコンピュータの製造方法を示す半導体基板の要部断面図である。

【図15】本発明の実施の形態2であるマイクロコンピュータの製造方法を示す半導体基板の要部断面図である。

【図16】本発明の実施の形態2であるマイクロコンピュータの製造方法を示す半導体基板の要部断面図である。

【符号の説明】

- 1 半導体基板
- 2 フィールド酸化膜

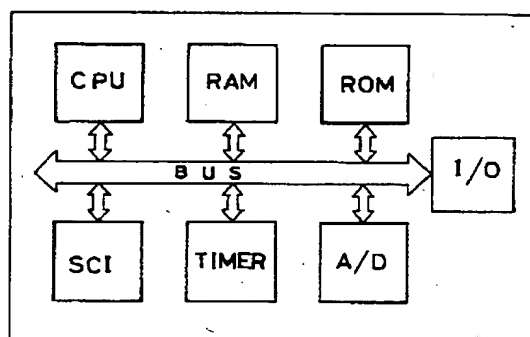
(6)

- 9
3 ゲート絶縁膜
4 多結晶シリコン膜
4 A フローティングゲート
4 B 下部電極
5 絶縁膜
5 A 第2ゲート絶縁膜
5 B 容量絶縁膜
6 ポリサイド膜
6 A コントロールゲート (ワード線)
6 B 上部電極
6 C ゲート電極
7 半導体領域 (ソース、ドレイン領域)
8 半導体領域 (ソース、ドレイン領域)

- 10
9 絶縁膜
10 接続孔
11 多結晶シリコン膜
11 A パッド層
11 B 抵抗素子
12 層間絶縁膜
13~18 接続孔
19~23 接続孔
24 パッシベーション膜
25 多結晶シリコン膜
25 B 抵抗素子
DL データ線
dl サブデータ線

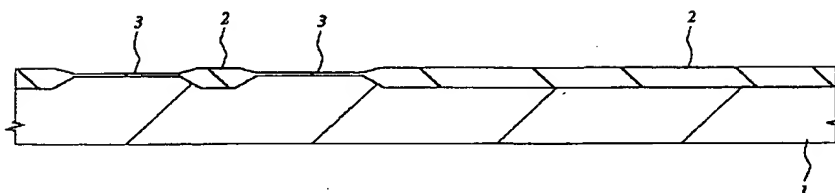
【図1】

図 1



【図2】

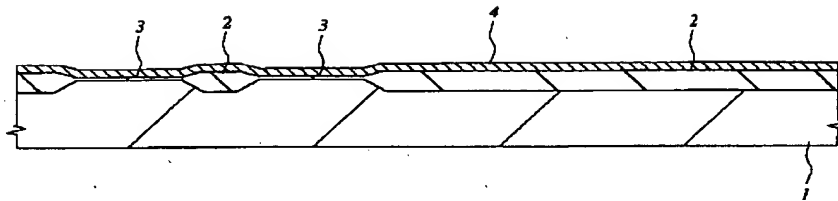
図 2



(7)

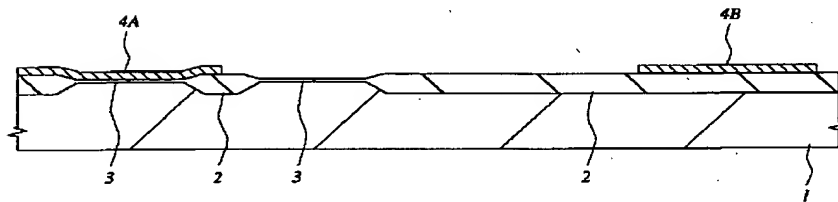
【図3】

図 3



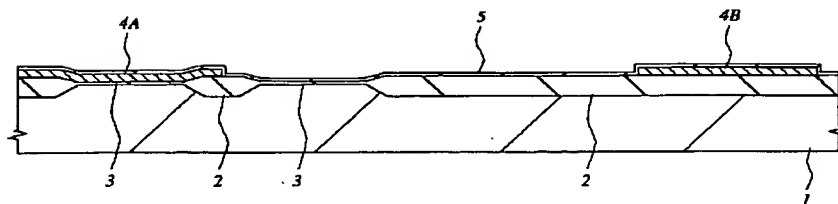
【図4】

図 4



【図5】

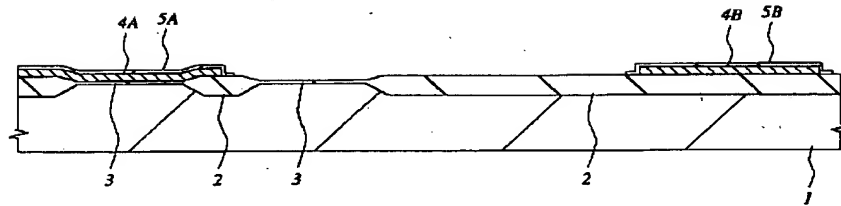
図 5



(8)

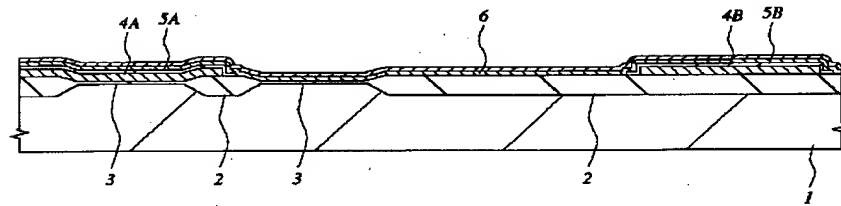
【図6】

図 6



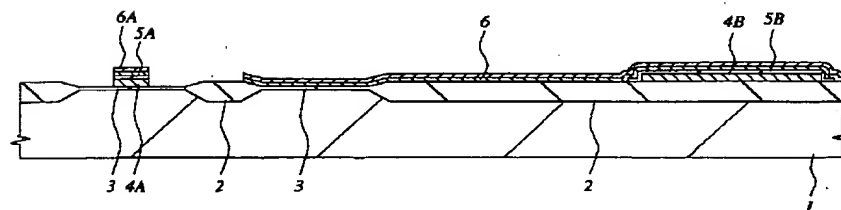
【図7】

図 7



【図8】

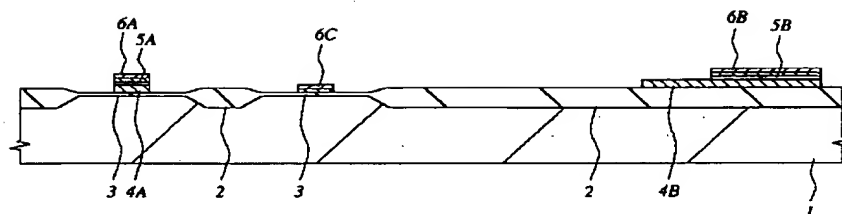
図 8



(9)

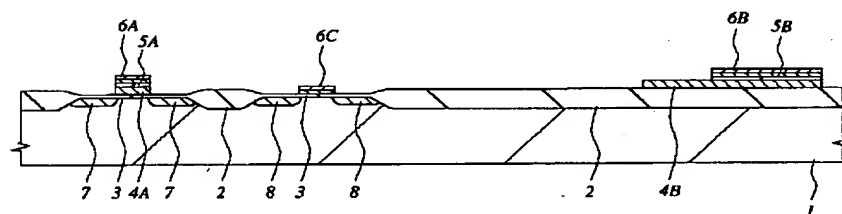
【図9】

図 9



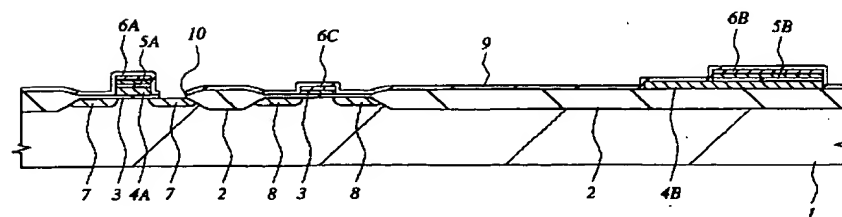
【図10】

図 10



【図11】

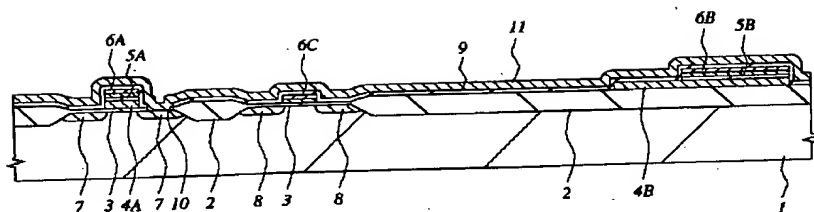
図 11



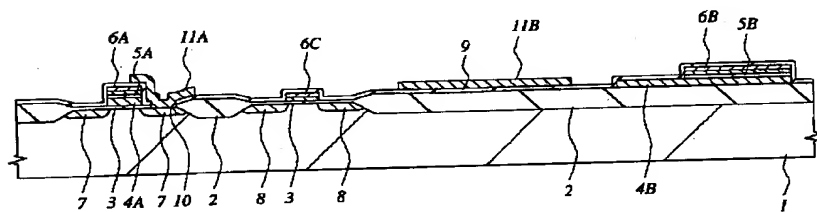
(10)

【図 12】

Figure 12 shows a schematic diagram of a rectangular structure. It consists of a central vertical line segment. From the top and bottom of this central segment, two horizontal lines extend outwards. The horizontal lines are labeled 'a' at their outer ends. The vertical line is labeled 'b' at its top end. The entire structure is enclosed within a rectangular frame.



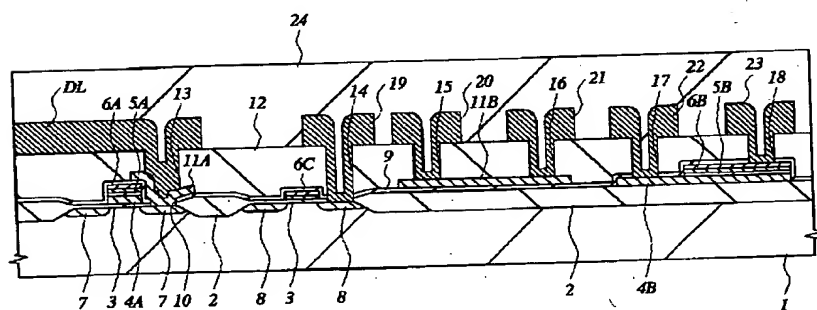
【図 13】

 13

4A : フローティングゲート
11B : 抵抗素子

【図 14】

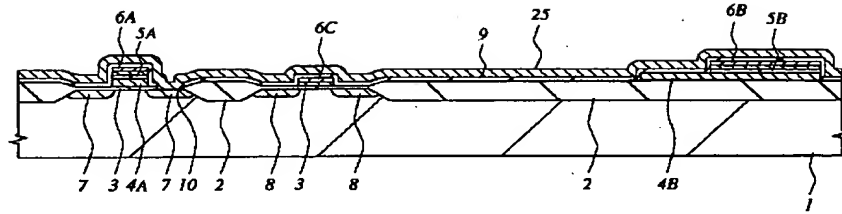
Figure 14 is a line graph with the x-axis labeled "Number of people" and the y-axis labeled "Number of people". Both axes range from 0 to 10. A straight line is drawn from the origin (0,0) to the point (10,10), representing the equation $y = x$.



(11)

【図15】

図 15



【図16】

図 16

